

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-098339
 (43)Date of publication of application : 07.04.2000

(51)Int.Cl. G02F 1/133
 G09G 3/36

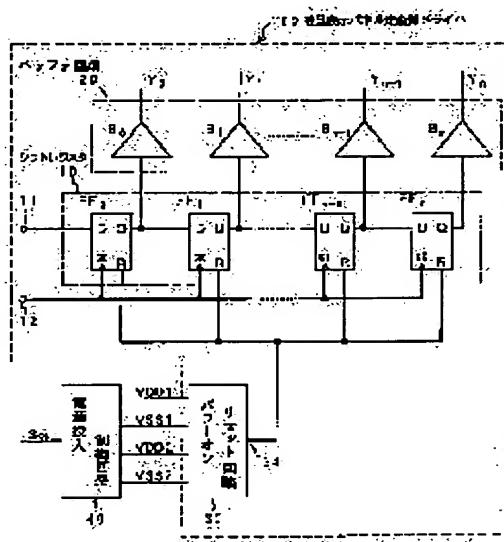
(21)Application number : 10-264231 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (22)Date of filing : 18.09.1998 (72)Inventor : KAGEYAMA HIROYUKI SUYAMA TORU

(54) LIQUID CRYSTAL DISPLAY PANEL SCANNING LINE DRIVER

(57)Abstract:

PROBLEM TO BE SOLVED: To start excellently the display operation of a liquid crystal display panel and to prevent an element destruction when a power source is turned on even when the storage state of a D flip-flop when the power source of the liquid crystal display panel was turned off in the last time is random.

SOLUTION: When a first high potential side source VDD1 and a second high potential side source VDD2 are raised by power source supplying, a reset signal is outputted from an output terminal 34 to all D flip-flops FF0-FFn. Then, when a second low potential side source VSS2 is lowered together with the second high potential side source VDD2, a switching element of an N channel MOS-FET is turned on, and the output terminal 34 is made minus potential, and the reset is released, and a shift register 10 is activated.



LEGAL STATUS

[Date of request for examination] 15.05.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3508012

[Date of registration] 09.01.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-98339

(P2000-98339A)

(43)公開日 平成12年4月7日(2000.4.7)

(51) Int.Cl.
G 0 2 F 1/133
G 0 9 G 3/36

識別記号
650

F I
G 0 2 F 1/133
G 0 9 G 3/36

テマコード(参考)
2H093
5C006

審査請求・差戻請求・請求項の數4 OJ (全6頁)

(21)出願番号 特願平10-264231

(71) 出願人 000005821

(22)出願日 平成10年9月18日(1998.9.18)

大阪府門真市大字門真1006番地

72)発明者 景山 博行
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 須山 透
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100086737
弁理士 国田 和秀

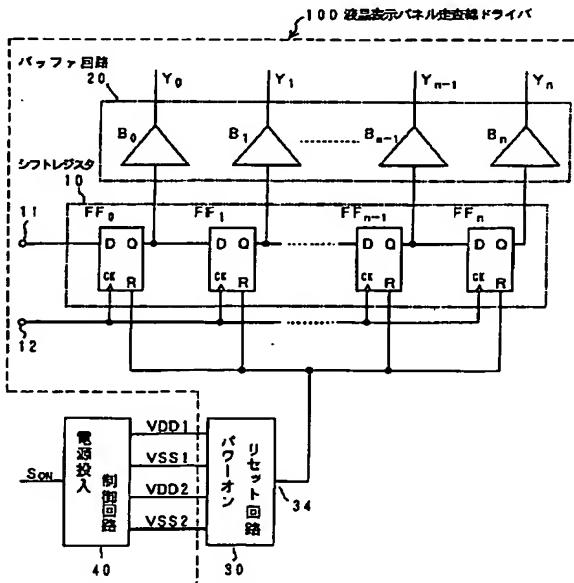
最終頁に統く

(54) 【発明の名称】 液晶表示パネル走査線ドライバ

(57) 【要約】

【課題】 前回に液晶表示パネルの電源をOFFにしたときのDフリップフロップの記憶状態がランダムになっていても、電源を投入したときには、液晶表示パネルの表示動作を良好に開始し、素子破壊を防止する。

【解決手段】 電源投入に伴って第1の高電位側電源VDD1と、第2の高電位側電源VDD2を立ち上げることで出力端子34からすべてのDフリップフロップFF。 \sim FF。にリセット信号を出し、次に、第2の低電位側電源VSS2を第2の高電位側電源VDD2とともに立ち下げることでNチャネルMOS-FETのスイッチング素子Q₀をONにして出力端子34をマイナス電位とし、リセットを解除してシフトレジスタ10をアクティブにする。



1

【特許請求の範囲】

【請求項1】 シフトレジスタを構成している複数のフリップフロップのすべてを電源投入時にオールクリアするように構成されている液晶表示パネル走査線ドライバ。

【請求項2】 電源投入に基づいてすべてのフリップフロップに対してリセット信号を出力し、その直後にリセット信号出力を解除するパワーオンリセット回路を備えている請求項1に記載の液晶表示パネル走査線ドライバ。

【請求項3】 パワーオンリセット回路は、高電位側電源に接続された抵抗と、この抵抗と低電位側電源との間に挿入されたスイッチング素子と、前記抵抗とスイッチング素子との接続点に接続された出力端子とから構成されている請求項2に記載の液晶表示パネル走査線ドライバ。

【請求項4】 パワーオンリセット回路は、高電位側電源が印加されるプラス電源端子に抵抗を介してNチャンネルのスイッチング素子のドレインが接続され、そのスイッチング素子のゲートに第1の低電位側電源が印加されるグランド端子が接続され、そのスイッチング素子のソースに第2の低電位側電源が印加されるマイナス電源端子が接続され、電源投入に伴って高電位側電源を立ち上げた後に、高電位側電源と第2の低電位側電源とを両者間の電位差をほぼ一定に保った状態でともに立ち下がることによりスイッチング素子を導通させるように構成してある請求項3に記載の液晶表示パネル走査線ドライバ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示パネル走査線ドライバにかかる、特にそのシフトレジスタに対するパワーオンリセットの技術に関するものである。

【0002】

【従来の技術】 液晶表示パネル走査線ドライバは通常、複数の電源入力を有し複数の走査電極ラインに対する複数のフリップフロップからなるシフトレジスタとバッファとから構成されている。シフトレジスタの出力シフト動作により、複数の走査電極ラインを順次にアクティブにして、液晶表示パネルの表示画面を垂直方向にスキャンしていく。

【0003】

【発明が解決しようとする課題】 シフトレジスタにおける複数のフリップフロップのそれぞれはメモリの機能をもっている。したがって、前回に液晶表示パネルの電源をOFFにしたときの状態がフリップフロップに記憶されたままとなっている。いずれのDフリップフロップが出力“H”で、いずれのフリップフロップが出力“L”かは、電源OFFのタイミングによってランダムに変化する。そのため、次に液晶表示パネルの電源をONにす

2

ると、シフトレジスタの内部ロジックがランダムなものとなり、シフトレジスタの回路状態が不定となってしまうため、液晶表示パネルの表示に悪影響を及ぼすという問題がある。場合によっては、シフトレジスタやバッファ回路を構成しているLSI等の素子が破壊されてしまうおそれがある。

【0004】 本発明は上記従来の問題点を解決するもので、電源投入における画面表示のトラブルを解消することを目的としている。

【0005】

【課題を解決するための手段】 本発明にかかる液晶表示パネル走査線ドライバは、液晶表示パネルの走査電極ライン群に outputするシフトレジスタにおける複数のフリップフロップのすべてに対して電源投入時にオールクリアするものである。前回に液晶表示パネルの電源をOFFにしたときの状態が複数のフリップフロップにおいてランダムに記憶されたままとなっていても、次に液晶表示パネルの電源を投入したときには、一旦すべてのフリップフロップを確実にリセットするので、液晶表示パネルの表示動作は所期通り良好に開始されることになる。

【0006】

【発明の実施の形態】 本発明にかかる請求項1の液晶表示パネル走査線ドライバは、シフトレジスタを構成している複数のフリップフロップのすべてを電源投入時にオールクリアするように構成したものである。従来においては液晶表示パネル走査線ドライバにパワーオンリセット機能を有していなかったところ、本発明ではパワーオンリセット機能をもたせたので、液晶表示パネルに対する電源投入においてその表示動作を乱れなく所期通り良好に開始させることができる。また、シフトレジスタやバッファ回路を構成しているLSI等の素子の破壊のおそれを大幅に軽減することができる。

【0007】 本発明にかかる請求項2の液晶表示パネル走査線ドライバは、上記請求項1において、電源投入に基づいてすべてのフリップフロップに対してリセット信号を出力し、その直後にリセット信号出力を解除するパワーオンリセット回路を備えた構成となっている。電源投入時にはシフトレジスタをオールクリアした後にアクティブにするので、液晶表示パネルの表示における初期の誤動作を防止するとともに、回路部品の信頼性を高めることができる。

【0008】 本発明にかかる請求項3の液晶表示パネル走査線ドライバは、上記請求項2において、そのパワーオンリセット回路は、第1の高電位側電源に接続された抵抗と、この抵抗と低電位側電源との間に挿入されたスイッチング素子と、前記抵抗とスイッチング素子との接続点に接続された出力端子とから構成されている。これをより具体的に記述したのが、次の請求項4である。すなわち、本発明にかかる請求項4の液晶表示パネル走査線ドライバは、上記請求項3において、そのパワ

オンリセット回路は、第1の高電位側電源が印加されるプラス電源端子に抵抗を介してNチャンネルのスイッチング素子のドレインが接続され、そのスイッチング素子のゲートに第1の低電位側電源が印加されるグランド端子が接続され、そのスイッチング素子のソースに第2の低電位側電源が印加されるマイナス電源端子が接続され、電源投入に伴って高電位側電源を立ち上げた後に、第2の高電位側電源と第2の低電位側電源とを両者間の電位差をほぼ一定に保った状態でともに立ち下げるによりスイッチング素子を導通させるように構成してある。電源投入に伴ってまずパワーオンリセット回路を起動する。まず、第1の高電位側電源を立ち上げるが、このときスイッチング素子はOFFを保っているので、出力端子からは“H”レベルのリセット信号をすべてのフリップフロップに出力してシフトレジスタをオールクリアする。次に、ソースの第2の低電位側電源を立ち下げることで、ゲートの第1の低電位側電源の電位を相対的に第2の低電位側電源よりも高くしてスイッチング素子をONにすることにより、リセット信号の出力を解除する。このとき、出力端子の電位は第2の低電位側電源レベルとなり、フリップフロップのアクティブ状態を確実に保証することができる。第2の高電位側電源を第2の低電位側電源とともに立ち下げる所以その後も引き続きON状態を持続するスイッチング素子に過剰な負担を与えないですむ。

【0009】以下、本発明にかかるパワーオンリセット回路付きの液晶表示パネル走査線ドライバの具体的な実施の形態を図面に基づいて詳細に説明する。

【0010】図1は液晶表示パネル走査線ドライバの回路構成図である。この液晶表示パネル走査線ドライバ100は、シフトレジスタ10とバッファ回路20に加えて、電源投入時にシフトレジスタ10のすべてのDフリップフロップをクリアするパワーオンリセット回路30を備えている。電源投入制御回路40は電源投入検出信号S_{in}の入力に基づいて所定の電源シーケンスに従ってパワーオンリセット回路30に対して第1の高電位側電源VDD1、第1の低電位側電源VSS1、第2の高電位側電源VDD2および第2の低電位側電源VSS2を順次的に出力するように構成されている。電圧レベルの一例をあげると、VDD1は2.7～5.5V、VSS1は0V(グランドGND)、VSS2は-5～-3V、VDD2はVSS2に対してVDD1(2.7～5.5V)だけ高い電圧である。又、VDD1、VSS1は、ロジックの入力回路に使用され、入力信号はさらに、VDD2、VSS2にレベルシフトされ、VDD2、VSS2は、内部のロジック回路を動作させる電源である。

【0011】図2はパワーオンリセット回路30の回路図である。このパワーオンリセット回路30は次のように構成されている。プラス電源端子31に抵抗R₁の一

10 端が接続され、抵抗R₁の他端がエンハンスメント型のNチャンネルのMOS-FETからなるスイッチング素子Q₁のドレインに接続されている。スイッチング素子Q₁のソースはマイナス電源端子32に接続され、ゲートはグランド端子33に接続されている。スイッチング素子Q₁のドレインすなわち抵抗R₁との接続点は出力端子34に接続されている。このパワーオンリセット回路30におけるプラス電源端子31は電源投入制御回路40の第2の高電位側電源VDD2のラインに接続可能とされ、マイナス電源端子32は電源投入制御回路40の第2の低電位側電源VSS2のラインに接続可能とされ、グランド端子33は電源投入制御回路40の第1の低電位側電源VSS1のラインに接続可能とされている。パワーオンリセット回路30の出力端子34はシフトレジスタ10におけるすべてのDフリップフロップFF₁～FF_nのリセット端子Rに接続されている。

【0012】シフトレジスタ10においては、第2の高電位側電源VDD2と第2の低電位側電源VSS2とで駆動され、初段のDフリップフロップFF₁のデータ入力端子Dが第1の高電位側電源と第1の低電位側電源の振幅を持つ入力信号を第2の高電位側電源VDD2と第2の低電位側電源VSS2の振幅にレベルシフトされたドライブ信号入力端子11に接続され、各段について、前段のDフリップフロップFF₁のQ出力の出力端子Q₁が次段のDフリップフロップFF₂～FF_nのデータ入力端子Dおよび対応するバッファ回路20のバッファB₁の入力端子に接続されている。すべてのDフリップフロップFF₁～FF_nのアクティブロウ型のクロック入力端子CKには共通にクロック信号入力端子12が接続されている。バッファ回路20の各バッファB₁～B_nはそれぞれ図示しない液晶表示パネルの走査電極ラインY₁～Y_nに接続されている。

【0013】次に、以上のように構成された液晶表示パネル走査線ドライバ100の動作を図3のタイミングチャートに従って説明する。液晶表示パネルに対する電源がOFFにされている状態では、電源投入制御回路40からパワーオンリセット回路30に供給されるすべての電源すなわち第1の高電位側電源VDD1、第1の低電位側電源VSS1、第2の高電位側電源VDD2および第2の低電位側電源VSS2は0Vである。したがって、パワーオンリセット回路30においてプラス電源端子31、グランド端子33、マイナス電源端子32の電位はすべて0Vである。スイッチング素子Q₁のゲート～ソース間電圧も0Vであるので、このスイッチング素子Q₁はOFF状態となっている。結局、パワーオンリセット回路30の出力端子34はゼロレベルを保っている。

【0014】液晶表示パネルに対する電源がONにされると、電源投入制御回路40に電源投入検出信号S_{in}が入力され、電源投入制御回路40はパワーオンリセット

回路30に対して第1の高電位側電源VDD1、第1の低電位側電源VSS1、第2の高電位側電源VDD2および第2の低電位側電源VSS2を供給する。第1の高電位側電源VDD1が供給される。これが時刻t₀の状態である。時刻t₀では、スイッチング素子Q₁のソースにつながるマイナス電源端子32に供給される第2の低電位側電源VSS2が0Vであり、ゲートにつながるグランド端子33も0Vであるので、スイッチング素子Q₁はOFF状態を保つ。なお、グランド端子33は常に0Vを保つ。

【0015】電源投入制御回路40は統いて所定の電源シーケンスに従って、時刻t₁において第2の高電位側電源VDD2を“H”レベルに立ち上げる。その結果として、プラス電源端子31が“H”レベルとなり、このときスイッチング素子Q₁がOFFであるので、出力端子34にはプラス電源端子31の電位が抵抗R₁によって電圧降下された分の“H”レベルの電圧が出力される。この出力端子34からの“H”レベルの信号はシフトレジスタ10に対してリセット信号として出力される。すなわち、パワーオンリセット回路30の出力端子34からの“H”レベルのリセット信号がシフトレジスタ10のすべてのDフリップフロップFF₁～FF_nのリセット端子（クリア端子）に入力され、すべてのDフリップフロップFF₁～FF_nがリセットされる。つまり、シフトレジスタ10がオールクリアされる。すなわち、すべてのDフリップフロップFF₁～FF_nの出力端子Qの出力が“L”レベルとなり、バッファ回路20におけるすべてのバッファB₁～B_nの出力端子つまりは液晶表示パネルにおけるすべての走査電極ラインY₁～Y_nが“L”レベルに初期リセットされる。このように、電源投入時にすべての走査電極ラインを一旦は強制的に“L”レベルに初期リセットすることが重要である。

【0016】統いて、所定の電源シーケンスに従って電源投入制御回路40は時刻t₁から第2の高電位側電源VDD2と第2の低電位側電源VSS2とを徐々に降下させていく。この結果として、パワーオンリセット回路30においては、プラス電源端子31とマイナス電源端子32との電位差が一定に保たれた状態で、グランド端子33につながっているスイッチング素子Q₁のゲートの電位がマイナス電源端子32につながっているソースの電位に対して相対的に上昇し、ゲート・ソース間電圧(VSS1-VSS2)がスレッショルドレベルを超えたときに、すなわち時刻t₂において、スイッチング素子Q₁がONする。これにより、それまでプラス電源端子31につながっている第2の高電位側電源VDD2に近い電位であった出力端子34の電位は、第2の低電位側電源VSS2の電位にほぼ等しくなる。

【0017】時刻t₂から時刻t₃にかけて、引き続いて、プラス電源端子31につながっている第2の高電位

側電源VDD2とマイナス電源端子32につながっている第2の低電位側電源VSS2とがさらに徐々に降下されていく、プラス電源端子31は第2の高電位側電源VDD2の所定のプラスの基準電位VDD2thとなり、またマイナス電源端子32は第2の低電位側電源VSS2の所定のマイナスの基準電位VSS2thとなる。プラスの基準電位VDD2thは0Vから0Vよりやや高くなるように設定されている。出力端子34の電位も第2の低電位側電源VSS2とともに降下を続け、時刻t₄においてマイナスの基準電位VSS2thで安定する。すなわち、パワーオンリセット回路30の出力端子34はマイナスレベルとなり、時刻t₄までシフトレジスタ10のすべてのDフリップフロップFF₁～FF_nに与えていたリセット信号を解除し、DフリップフロップFF₁～FF_nをそのオールクリア状態からアクティブ状態に切り換えていく。

【0018】本実施の形態においては、液晶表示パネル走査線ドライバ100に上記のようなパワーオンリセット回路30を内蔵させてあるので、次のような効果が発揮される。シフトレジスタ10におけるすべてのDフリップフロップFF₁～FF_nがメモリの機能をもつていて、前回に液晶表示パネルの電源をOFFにしたときの状態がDフリップフロップFF₁～FF_nに記憶されたままとなっており、その記憶状態が電源OFFタイミングに応じてきわめてランダムなものとなっていても、次に液晶表示パネルの電源を投入したときには、上記したとおり、パワーオンリセット回路30の動作により、電源投入直後に一旦すべてのDフリップフロップFF₁～FF_nを確実にリセットし、シフトレジスタ10をオールクリアした後に、各DフリップフロップFF₁～FF_nをアクティブ状態へと遷移していくので、液晶表示パネルの電源をONにしたときは、シフトレジスタ10の内部ロジックはパワーオン時には常に同じ状態のオールクリアの状態に強制的に初期化されるため、液晶表示パネルの表示動作は所期通り良好に開始されることになる。したがってまた、シフトレジスタ10やバッファ回路20を構成しているLSIの破壊のおそれを大幅に軽減することができる。

【0019】なお、シフトレジスタ10の動作については従来技術と同様であるので、ここでは簡単に説明する。ドライブ信号入力端子11からドライブ信号が入力されると、クロック信号入力端子12からのクロック信号が入力されるたびに、各DフリップフロップFF₁～FF_nの出力が順次に“H”レベルに切り換えられる。つまり、1つめのクロック信号でDフリップフロップFF₁の出力端子Qが“H”レベルに、2つめのクロック信号でDフリップフロップFF₂の出力端子Qが“H”レベルに、といった具合であり、これにより、各バッファB₁～B_nを介して走査電極ラインY₁～Y_nが順次にアクティブにされていく。この場合に、必ず所

期通りに1番目の走査電極ライン Y_0 のみを最初の被駆動ラインとし、以下、液晶表示パネル上で Y 方向に並んでいる走査電極ライン Y_1 ～ Y_n をその並びの順のとおりに純二に被駆動ラインとすることができますのである。

【0020】なお、図4はスイッチング素子Q₀としてPチャンネルのMOS-FETを用いた場合のパワーオンリセット回路30の回路構成であり、この場合の動作は図5のタイミングチャートのとおりである。

【0021】

【発明の効果】本発明にかかる液晶表示パネル走査線ドライバによれば、前回電源OFF時の複数のフリップフロップの記憶状態がどのような状態であっても、次に液晶表示パネルの電源を投入したときには、シフトレジスタを確実にオールクリアすることにより、液晶表示パネルの表示動作を所期通り良好に開始させることができるとともに、素子の破壊を極力防止することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態にかかる液晶表示パネル走査線ドライバの回路構成図

【図2】 実施の形態におけるパワーオンリセット回路の回路図

【図3】 実施の形態におけるパワーオンリセット回路の動作を説明するタイミングチャート

【図4】 別の実施の形態のパワーオンリセット回路の*

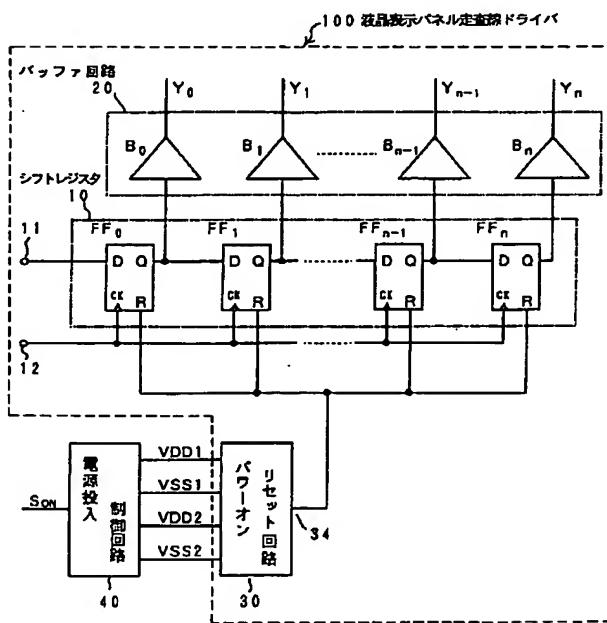
*回路図

【図5】 別実施の形態のパワーオンリセット回路の動作を説明するタイミングチャート

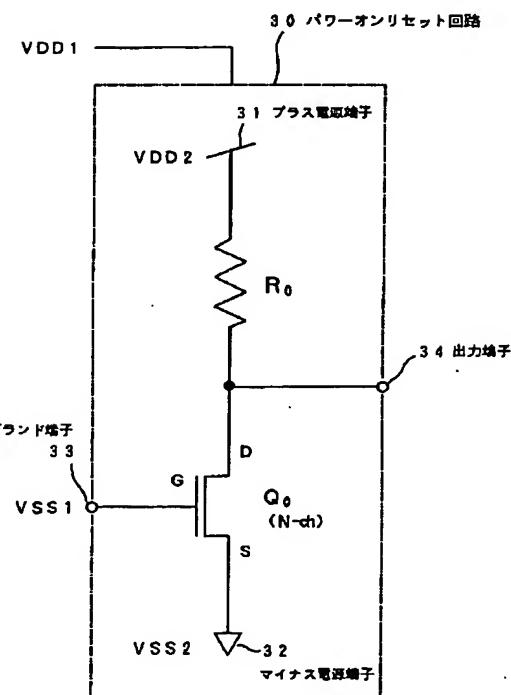
【符号の説明】

10	シフトレジスタ	11	ドライバ信号入力端子
12	クロック信号入力端子	20	バッファ回路
30	パワーオンリセット回路	31	プラス電源端子
10	電源端子	32	マイナス電源端子
34	出力端子	40	電源投入制御回路
100	液晶表示パネル走査線ドライバ	Q ₀	スイッチング素子
FF ₀ ～FF _n	Dフリップフロップ	R ₀	抵抗
B ₀ ～B _n	バッファ		
Y ₀ ～Y _n	走査電極ライン		
VDD1	第1の高電位側電源		
VDD2	第2の高電位側電源		
VSS1	第1の低電位側電源		
VSS2	第2の低電位側電源		

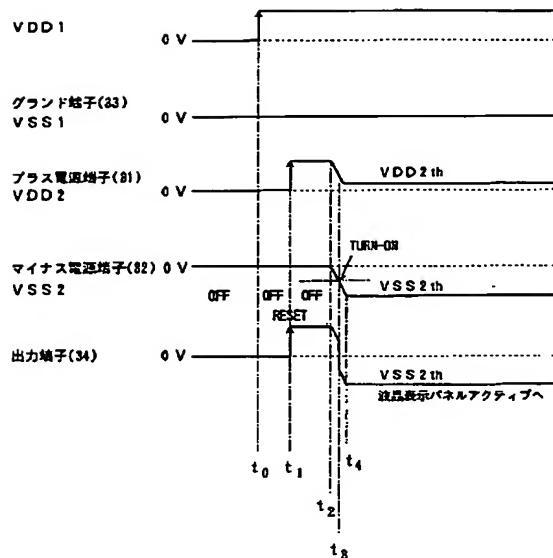
【図1】



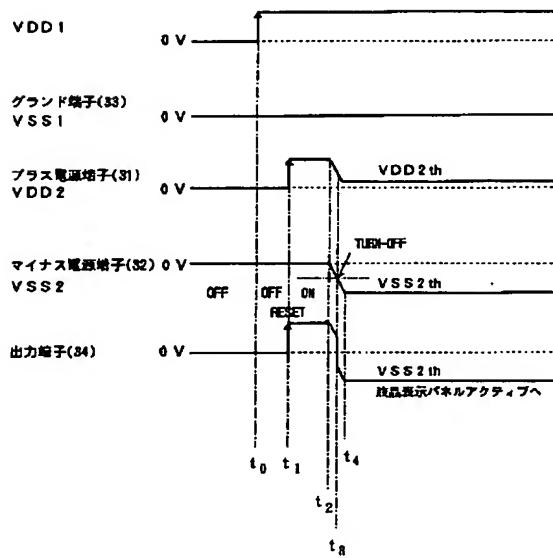
【図2】



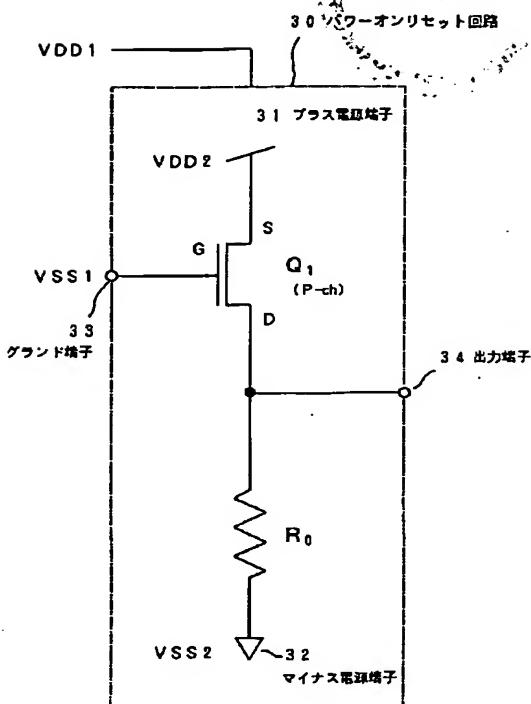
[図3]



[図5]



[図4]



フロントページの続き

F ターム(参考) 2H093 NC10 NC16 NC21 NC22 ND34
ND60
5C006 AF67 BB11 BC03 BF03 BF06
BF34 FA16 FA33